



MEMOIRE

Présenté à

L'École Nationale d'Ingénieurs de Sfax

en vue de l'obtention du

MASTERE

Dans la discipline informatique
Mastère NTSID

Par

Maïssa ELLEUCH SAHNOUN

(Ingénieur en informatique)

**DEVELOPPEMENT D'UN MODELE FORMEL POUR DES
RESEAUX MULTI-ETAGES DEDIES AUX SYSTEMES
MULTIPROCESSEURS SUR PUCE**

Soutenu le 27 Juin 2008, devant le jury composé de :

- | | |
|----------------------|-----------|
| M. Abdoulaye GAMATIÉ | Président |
| M. Adel MAHFOUDHI | Membre |
| M. Mohamed ABID | Membre |



DEVELOPPEMENT D'UN MODELE FORMEL POUR DES RESEAUX MULTI-ETAGES DEDIES AUX SYSTEMES MULTIPROCESSEURS SUR PUCE

Maïssa ELLEUCH SAHNOUN

الخلاصة : يتّنجز هذا العمل ضمن الإطار العام لتطبيق الطرق الرسمية للتحقق من الدوائر الرقمية. وهو يتّألف من تصميم وتطوير نموذج رسمي للشبكات متعددة الطوابق المخصصة لهذا النوع من الأنظمة. هذا النموذج هو محدد لها ، وتم التحقق من صحته في منطق اداة النظريات .GeNoC. وهو يقوم على اساس تمديد نموذجية ACL2

Résumé : Ce travail est inclus dans le cadre de l'application des méthodes formelles dans la vérification des circuits numériques. Il consiste en la conception et le développement d'un modèle formel pour des réseaux multi-étages dédiés aux systèmes multiprocesseurs sur puce. Ce modèle est spécifié et vérifié dans la logique du démonstrateur de théorèmes ACL2. Il est basé sur l'extension d'un modèle générique dénoté GeNoC (Generic Networks on Chip) décrivant les communications sur puce.

Abstract: This work is to be seen as within the general context of formal hardware verification. It consists on the design and the development of a formal model for multistage interconnection networks dedicated to multiprocessor systems-on-chip. This model is specified and verified in the ACL2 theorem proving environment. It is based on the extension of a generic model called GeNoC (Generic Networks on Chip) describing on-chip communications.

المفاتيح : شبكات على الرقاقة، التحقق من الدوائر الرقمية، الطرق الرسمية، الشبكات متعددة الطوابق، مظاهرة نظرية، ACL2.

Mots clés : réseaux sur puce, vérification formelle des circuits numériques, réseaux multi-étages, démonstration de théorèmes, ACL2.

Key-words: networks on chip, formal hardware verification, multistage interconnection networks, theorem proving, ACL2.