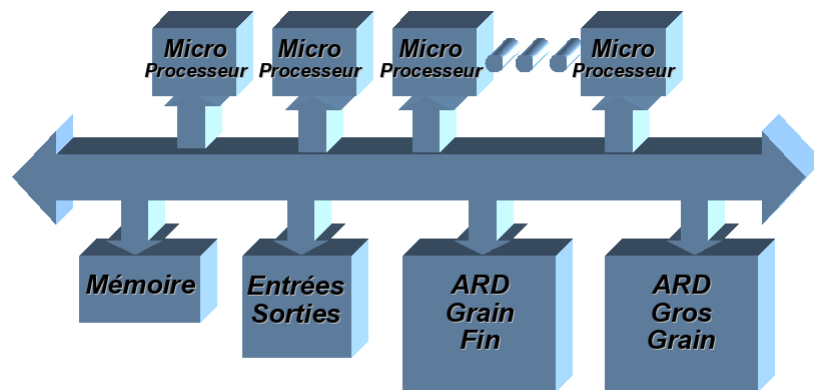


Projet de Recherche sur la Réalisation d'un système d'exploitation permettant l'utilisation en temps réel de l'architecture reconfigurable OLLAF

1 Présentation du projet

Le projet de recherche de Mr Ismail Ktata est intégralement situé dans le contexte des RSoC ¹. Un RSoC, visible figure 1, est un système complexe constitué, notamment, de plusieurs unités programmables, ou configurables, opérant en parallèle afin de réaliser un traitement. Cette complexité oblige à avoir recours à une couche d'abstraction du matériel afin que l'utilisateur puisse se focaliser sur l'utilisation du RSoC et non sur sa compréhension. Cette couche d'abstraction est réalisée par le système d'exploitation qui est appelée intergiciel.

De plus, contrairement à un processeur dont l'architecture a été conçue pour répondre à un vaste ensemble d'applications, un RSoC peut-être conçu dans un domaine applicatif contraint, par exemple celui du traitement du signal, voire pour répondre à un cahier des charges précis, tant au niveau de la fonctionnalité que des contraintes applicatives (temps, consommation, qualité de service, ...).



ARD : Architecture Reconfigurable Dynamiquement

Figure 1: Synoptique d'un RSoC

Dès lors, il devient nécessaire d'identifier les services des systèmes d'exploitation nécessaires à la gestion spécifique d'un RSoC reconfigurable et à son fonctionnement, notamment dynamique. Il est tout à fait pertinent d'imaginer de nouveaux services permettant un placement dynamique d'une tâche, pour par exemple palier à la défectuosité d'un des composants du RSoC. Dans ce contexte, deux versions d'une même tâche peuvent

¹Reconfigurable System on Chip ou système reconfigurable sur puce

cohabiter en mémoire, une version logicielle ayant comme support d'exécution un micro-processeur et une version matérielle ayant comme support d'exécution un composant configurable par exemple une ARD² grain fin. Le système peut dès lors si le processeur est défaillant, remplacer celui-ci en exécutant la tâche dans sa version matérielle sur l'ARD.

De plus tout l'intérêt d'un RSoC est sa dynamique, l'application s'exécutant sur un RSoC devant nécessairement être aussi dynamique afin de profiter pleinement de la capacité de traitement de ce support. Le nombre de tâches de l'application est amené à évoluer en fonction, par exemple, de la valeur des données traitées. Cette évolution dynamique doit pouvoir être prise en compte par le système d'exploitation afin d'obtenir la meilleure efficacité du RSoC, ce qui peut être fait à travers notamment d'un service de placement dynamique, c'est à dire de migration de tâches entre ressources hétérogènes. Cette migration nécessitant un service de préemption des tâches permettant une sauvegarde du contexte d'exécution.

Comme on peut le constater, la complexité d'un RSoC et sa dynamique associées à celles de l'application, que l'utilisateur désire exécuter sur le RSoC, nécessite de considérer des méthodes de type AAA³, permettant la meilleure adéquation entre Application et RSoC.

Il est vital, dans ce cadre, de savoir comment intégrer un système d'exploitation dans un flot de conception, puisque cette couche intergicielle devient inévitable dans un RSoC.

Pour cela au sein de l'équipe ASTRE du laboratoire ETIS, dont la thématique principale de recherche sont les RSoC, nous avons défini l'architecture OLLAF, qui est une ARD grain fin permettant de supporter efficacement un OS.

Ces travaux prennent place dans un environnement international fécond, plusieurs travaux ont trait à cette problématique dont notamment [7, 1, 8, 9]. Leur point commun est de réaliser un système d'exploitation avec des services plus ou moins optimisés pour un RSoC tels que la gestion de la reconfiguration partielle, la préemption des tâches matérielles ou la migration de tâches matérielles. Tous ces systèmes d'exploitations sont construits à partir d'un FPGA commercial et d'un micro-processeur associé, que ce dernier soit physique ou mappé sur le FPGA. Ils atteignent leurs limites, notamment sur la vitesse de préemption, du fait de la structure des FPGA commerciaux, qui ne sont pas adaptés au support d'un système d'exploitation.

Si nous regardons ce qui concerne la conception d'unités reconfigurables dynamiquement depuis les années 90, quelques travaux ont été publiés. Dans [5] les auteurs présentent la première ressource multi-contextes. Ce concept a été mis en œuvre dans DRLE de NEC [6]. Au même moment, la plate-forme DPGA fut introduite [2] permettant de mettre en œuvre une ARD sur le même circuit qu'un microprocesseur classique. En 1995, Xilinx a déposé un brevet sur une ressource multi-contexte programmable, le XC4000E FPGA avec plans de configuration multiples [10].

Plus récemment, dans [4], les auteurs proposent d'ajouter un peu de matériel spécialisé

²Architecture Reconfigurable Dynamiquement

³Adéquation Algorithme Architecture

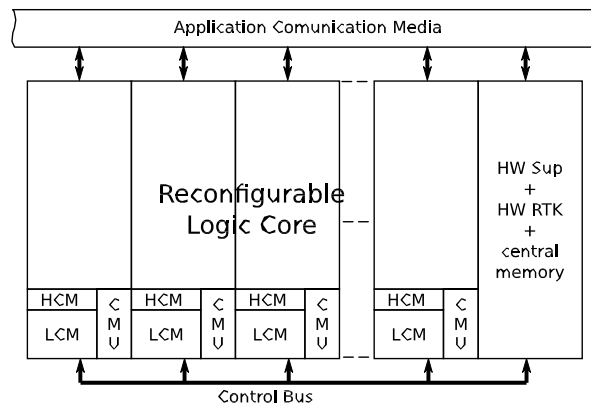


Figure 2: Synoptique Global d'OLLAF

pour supporter des services de systèmes d'exploitation, mais ils travaillent toujours avec un FPGA classique et sont limités par cette structure.

Nos propres travaux sur l'utilisation des FPGA [3], ont montré les limites de leur utilisation avec un système d'exploitation, notamment en ce qui concerne le service de préemption et de sauvegarde des contextes d'exécution.

C'est pourquoi, afin de permettre le support des services d'OS spécifiques au reconfigurable grain fin, OLLAF (visible sur la figure 2) propose une hiérarchie de mémoire de configuration, des unités de gestion automatique des contextes, ainsi qu'un média de communication et d'accès aux entrées/sorties rationalisé. La supervision de la plateforme ainsi que l'exécution du noyau du système d'exploitation sont dans un premier temps confiées à un micro-processeur.

Les travaux de thèse de Mr Ismail Ktata s'intègrent dans ce cadre et visent à définir des services originaux d'un système d'exploitation pour gérer efficacement cette plate-forme d'un nouveau type. Il est notamment nécessaire de définir la politique de gestion et de remplacement des contextes dans la mémoire cache et surtout de définir un ordonnanceur prédictif permettant une accélération de plus de trois ordres de grandeur par rapport à une mise en oeuvre standard.

Pour réaliser l'ordonnanceur prédictif, une recherche la plus exhaustive possible, sur les algorithmes possibles sera effectuée. Des investigations notamment sur des modèles neuronaux, sur les algorithmes génétiques ou sur des mécanismes de compétitions seront engagées. De ces recherches un choix sera effectué et une mise en oeuvre, dans un premier temps logicielle, sera effectuée afin de valider le principe retenu.

Il est aussi possible de conjuguer cet ordonnanceur dans une version matérielle, si des contraintes temporelles, ou de consommation, fortes le justifie. C'est pourquoi ces travaux feront l'objet d'une analyse fine permettant d'en extraire des modèles qui valideront les approches proposées et permettront de bien positionner leur apport par rapport à l'état de l'art.

Afin de mener à bien ces recherches, Mr Ismail Ktata effectuera sa thèse en cotutelle entre le laboratoire CES de l'ENIS à Sfax en Tunisie et le laboratoire ETIS à Cergy Pontoise en France.

2 Plan des travaux de thèse

Les premiers travaux de Mr Ktata, seront des travaux bibliographiques, qu'il mènera à Sfax, pour identifier clairement les solutions existantes quand aux ordonnanceurs prédictifs. Il s'intéressera bien évidemment à l'ordonnancement des systèmes informatiques mais aussi dans les systèmes industriels. Il ira notamment faire un état de l'art dans les pratiques d'ordonnancement prédictifs dans les chaînes de productions industrielles, où l'ordonnancement doit pouvoir s'adapter dynamiquement à un grand nombre d'imprévus.

Une fois ce travail d'état de l'art effectué, un ordonnanceur original adapté au problème de la reconfiguration en temps quasi réel d'un système sur puce reconfigurable sera entamé. Ce travail sera effectué au sein du laboratoire ETIS qui est à l'origine de la technologie reconfigurable utilisée dans les travaux de thèse de Mr Ktata, la plateforme OLLAF. Cette partie du travail consistera à programmer dans un langage de haut niveau l'ordonnanceur conçu. Des mesures seront effectuées pour mesurer la pertinence de l'approche proposée.

De ces travaux une analyse comparative avec des solutions existantes pour la gestion de systèmes reconfigurables sera réalisée à Sfax. Cette analyse scientifique aura pour but, d'une part de valider l'approche et d'autre part de permettre d'extraire un modèle de performance de l'ordonnanceur prédictif proposé. Ce modèle permettra, à la fois une comparaison exhaustive, et aussi de pouvoir mesurer l'impact de l'ordonnanceur dans des outils d'exploration du type OverSoC (<http://oversoc.ensea.fr>).

La quatrième partie des travaux de thèse de Mr Ktata, sera la réalisation d'un service de préemption utilisant efficacement la plateforme OLLAF. Cette partie de la thèse de Mr Ktata sera réalisée au laboratoire ETIS. Elle consistera en la programmation en langage de haut niveau d'un service original permettant une utilisation optimale de la plateforme OLLAF. Ce service sera fortement couplé à l'ordonnanceur prédictif précédemment conçu et permettra une gestion efficace de la mémoire cache et de la stratégie de remplacement des contextes dans cette dernière.

La suite de la thèse de Mr Ktata, qui aura lieu à Sfax, consistera en la réalisation d'un système d'exploitation opérationnel mettant en oeuvre l'ordonnanceur et le service de préemption. Ceci permettra de valider l'ensemble de l'approche dans un cas réel d'utilisation avec plusieurs tâches matérielles s'exécutant sur OLLAF.

Enfin, dans une dernière partie, les travaux de Mr Ktata consisteront à réaliser une version matérielle soit de l'ordonnanceur, soit du service de préemption, soit des deux. Ceci pour mesurer l'impact qu'aura le passage à une version matérielle, en terme de temps et de consommation électrique. Cette partie aura lieu à Cergy Pontoise.

Après l'ensemble des travaux, le temps de la rédaction, qui aura lieu à Sfax sera atteint. Il restera à soutenir, à Sfax aussi.

Références

- [1] G. Chen, M. Kandemir, and U. Sezer. Configuration-Sensitive Process Scheduling for FPGA-Based Computing Platforms. In Design Automation and Test in Europe (DATE), pages 486–493, 2004.
- [2] A. DeHon. Dpga-coupled microprocessors : Commodity ics for the early 21st century. In IEEE Workshop on FPGAs for custom computing machines, 1994.
- [3] S. Garcia, J.C. Prevotet, and B. Granado. Hardware task context management for fine grained dynamically reconfigurable architecture. In Workshop on Design and Architectures for Signal and Image Processing (DASIP), 2007.
- [4] V. Nollet, P. Coene, D. Verkest, S. Vernalde, and R. Lauwereins. Designing an Operating System for a Heterogeneous Reconfigurable SoC. In International Parallel and Distributed Processing Symposium (IPDPS), page 174a, 2003.
- [5] Xiao ping Ling and H. Amano. Wasmii : a data driven computer on virtuel hardware. In IEEE workshop on FPGAs for custom computing machines, 1993.
- [6] Y. Shibata and al. A virtual hardware system on a dynamically reconfigurable logic device. In IEEE symposium on FPGAs for custom cmputing machines, 2000.
- [7] H. Simmler, L. Levinson, and R. Männer. Multitasking on FPGA Coprocessors. In Field Programmable Logic and its Applications (FPL), number 1896 in Lecture Notes in Computer Science, pages 121–130, 2000.
- [8] H. Walder and M. Platzner. Reconfigurable Hardware Operating Systems: From Design Concepts to Realizations. In Engineering of Reconfigurable Systems and Algorithms (ERSA), pages 284–287, 2003.
- [9] G. Wigley, D. Kearney, and D. Warren. Introducing reconfigme: An operating system for reconfigurable computing. In Conference on Field Programmable Logic and Application, September 2-4 2002.
- [10] Xilinx. Time multiplexed programmable logic device. Patent no.5646545, 1997.